

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

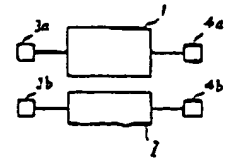
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) SEMICONDUCTOR STORAGE DEVICE

(51) Int. Cl.⁶. H01L27/10.

PURPOSE: To obtain a highly reliable semiconductor storage device in which the measurement of the current leak occurring in the transistor of a memory cell can be performed accurately in a wafer test by providing a memory cell group and a peripheral circuit with die pads for supply of power voltage separately.

CONSTITUTION: A group of memory cells and a peripheral circuit 2 are connected to die pads 3a and 4a, and 3b and 4b, respectively, and the memory cell group 1 and the peripheral circuit 2 are completely separated. The die pads for other application are the same one as mentioned above. In the semiconductor memory device constituted in this way, the memory cell group 1 and the peripheral circuit 2 are independent of each other, so unless power voltages are given to the die pads 3a and 4a and 3b and 4b, the memory cell group 1 and the peripheral circuit 2 do not operate. As a result the current, which flows in the memory cell group 1, and the current, which flows in the peripheral circuit 2, can be measured independently at standby. Accordingly, the trouble of making the semiconductor storage device, which includes the fault or defectiveness of memory cells, into a product ceases to occur, and it has the effect of enhancing reliability.

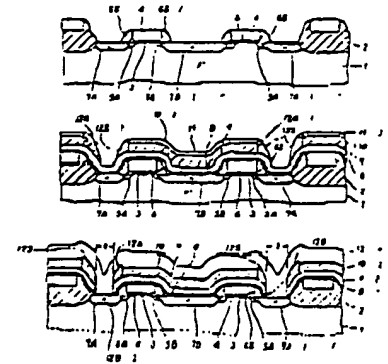


(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(51) Int. Cl.⁷ H01L27/108, H01L27/04

PURPOSE: To increase the capacity of a semiconductor device and to improve yield and productivity by forming a first sidewall, forming a second sidewall, then opening a second capacitor contact window, and forming a contact window of a capacitor electrode with first source/drain regions by an SAC method.

CONSTITUTION: Since an overetching for perforating an opening, i.e., a capacitor contact window is not always necessary at the time of forming a first sidewall 6S to be formed on the side of a gate electrode 4 according to manufacture of a semiconductor device, its withstand voltage is improved, and since a second capacitor contact window 12B is opened after a second sidewall 12S is formed, the sidewall 6S can hold a sufficient withstand voltage. Further, since the window 12B of a capacitor electrode 14 with first source/drain regions 7A is formed with the sidewall 12B provided on the sidewall 6S as a mask by a so-called an SAC method, the area of one memory cell is reduced to increase the capacity of the semiconductor device.



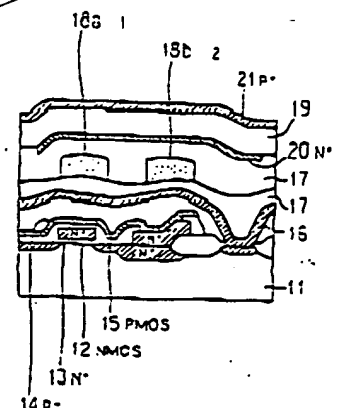
78: second source/drain regions, 10: second insulating layer, 12A: first capacitor contact window, 11: third polycrystalline semiconductor layer, 13: fourth polycrystalline semiconductor layer, 9: second polycrystalline semiconductor layer, first insulating layer, 8: element isolating layer, 1: buffer layer.

(54) MEMORY USING OPTICAL SENSOR

(51) Int. Cl.⁷. H01L27/11, G11C11/41

PURPOSE: To obtain a memory which can write/read optical information as well as an electric signal and has a high integration optical sensor by a low temperature process by writing/reading the signal output from a first layer in a static random access memory formed of a P-channel MOSFET and an N-channel MOSFET.

CONSTITUTION: In this memory, an N-channel MOSFET 12 is formed on a P-type semiconductor substrate 11. A gate electrode made of N⁺ type polysilicon 13 is formed in the NMOS 12. Then, a thin filmlike P⁺ type polysilicon layer 14 is formed on the NMOS 12 through an insulating film, and a P-channel MOSFET 15 is formed. Further, a ground line 16 and an insulating film 17 are formed on the PMOS 15. A first bit line 18a and a second bit line 18b are formed on the film 17 of the surface. Since a lower N⁺ type region 20 and an upper P⁺ type region 21 form a photodiode having high photoelectric conversion efficiency of a PIN structure through an intrinsic hydrogenated amorphous silicon 19 thereon, it can be used as an optical sensor.



⑫ 公開特許公報(A)

平4-69968

⑤ Int.Cl.³

識別記号

庁内整理番号

④ 公開 平成4年(1992)3月5日

H.01 L 27/108
27/04

C

7514-4M
8624-4M

H 01 L 27/10

3 2 5 C

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 半導体装置の製法

⑯ 特 願 平2-182071

⑰ 出 願 平2(1990)7月10日

⑱ 発 明 者 中 嶋 英 晴 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑳ 代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 半導体装置の製法

特許請求の範囲

ゲート絶縁層を形成する工程と、

第1の多結晶半導体層によるゲート電極形成工程と、

該ゲート電極をマスクとして低濃度ソース/ドレイン領域を形成する工程と、

該ゲート電極の側面に絶縁層より成る第1のサイドウォールを形成する工程と、

上記ゲート電極と上記第1のサイドウォールとをマスクとしてソース/ドレイン領域を形成する工程と、

該ゲート電極と上記第1のサイドウォール上に全面的に第1の絶縁層を形成する工程と、

該第1の絶縁層上に全面的に第2の多結晶半導体層を形成する工程と、

該第2の多結晶半導体層上に全面的に第2の絶縁層を形成する工程と、

該第2の絶縁層上に全面的に第3の多結晶半導

体層を形成する工程と、

該第3の多結晶半導体層及び第2の絶縁層とに第1のキャパシタコンタクト窓を穿設する工程と、

該第1のキャパシタコンタクト窓の内周に絶縁層より成る第2のサイドウォールを形成する工程と、

該第2のサイドウォールを有する第1のキャパシタコンタクト窓内の第2の多結晶半導体層とこれの下第1の絶縁層とに、上記第1のキャパシタコンタクト窓に連通する第2のキャパシタコンタクト窓を穿設する工程と、

該第1及び第2のキャパシタコンタクト窓内を含んで全面的に第4の多結晶半導体層を形成する工程と、

該第4の多結晶半導体層を所要のパターンにパターニングする工程と、

上記第2の絶縁層及び第2のサイドウォールを除去する工程と、

該第2の多結晶半導体層を所要のパターンにパターニングして、これと上記パターニングした第

4の多結晶半導体層とより成るキャパシタ電極層を形成する工程と、

該キャパシタ電極層の表面に誘電体層を形成する工程と、

該誘電体層を介して全面的に第5の多結晶半導体層を形成してこれをパターンニングして対向電極を形成する工程と

をとることを特徴とする半導体装置の製法。

発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置、特に例えばDRAM(ダイナミック・ランダム・アクセス・メモリ)等の半導体メモリ装置の製法に係わる。

(発明の概要)

本発明は、半導体装置の製法に係わり、ゲート絶縁層を形成し、第1の多結晶半導体層によるゲート電極形成した後、このゲート電極をマスクとして低濃度ソース/ドレイン領域を形成して、ゲート電極の側面に絶縁層より成る第1のサイドウ

のサイドウォールを除去した後、第2の多結晶半導体層を所要のパターンにパターンニングして、これとパターンニングした第4の多結晶半導体層とより成るキャパシタ電極層を形成する。そして、このキャパシタ電極層の表面に誘電体層を形成し、この誘電体層を介して全面的に第5の多結晶半導体層を形成してこれをパターンニングして対向電極を形成することにより、半導体装置の大容量化と歩留りの向上をはかる。

(従来の技術)

半導体装置のDRAMは、スイッチング・トランジスタいわゆるトランスファ・ゲートを構成するMOS(絶縁ゲート型電界効果トランジスタ)と容量とより成るメモリセルが配列されて成る。

近年、このような半導体装置の大メモリ容量化がはかられ、これに伴ってメモリセル面積の縮小化が益々要求されている。例えば16MビットDRAMや64MビットDRAMを実現するためには、1メモリセルの面積を $4\mu\text{m}^2$ 以下とする必要があり、この

セルを形成し、ゲート電極と第1のサイドウォールとをマスクとしてソース/ドレイン領域を形成する。そして、ゲート電極と第1のサイドウォール上に全面的に第1の絶縁層を形成して、この第1の絶縁層上に全面的に第2の多結晶半導体層を形成し、更にこの第2の多結晶半導体層上に全面的に第2の絶縁層を形成し、第2の絶縁層上に全面的に第3の多結晶半導体層を形成した後、第3の多結晶半導体層及び第2の絶縁層とに第1のキャパシタコンタクト窓を穿設する。そしてこの第1のキャパシタコンタクト窓の内周に絶縁層より成る第2のサイドウォールを形成し、この第2のサイドウォールを有する第1のキャパシタコンタクト窓内の第2の多結晶半導体層とこれの下第1の絶縁層とに、第1のキャパシタコンタクト窓に連通する第2のキャパシタコンタクト窓を穿設して、第1及び第2のキャパシタコンタクト窓内を含んで全面的に第4の多結晶半導体層を形成する。その後第4の多結晶半導体層を所要のパターンにパターンニングして、第2の絶縁層及び第2

様な極めて小さい面積内で、各メモリセル内に構成される各キャパシタやコンタクト窓を確実に形成し、かつキャパシタの電気容量を充分に保持するために、様々な製造方法及び構造の提案がなされている。

このような従来の半導体装置DRAMの一例の製法を第2図A～Gの工程図を参照して説明する。

この例では、キャパシタを構成する電極層の表面積を大とするために、電極層を積層して構成する、いわゆるスタックド・キャパシタ型のDRAMを得る場合で、上述したような微細なメモリセルを得るために、マスク合わせ裕度を軽減するSAC(セルフ・アライメント・コンタクト)法を採用した場合を示す。

先ず第2図Aに示すように、Si等より成る基体(1)上に、例えば熱酸化等によって厚い SiO_2 等より成る素子分離層(2)いわゆるLOCOSを形成し、更に熱酸化等により薄いゲート絶縁層(3)を形成する。

そして第2図Bに示すように、例えば低比抵抗多結晶Si層及び SiO_2 層を積層してこれを所要のパ

ターンにバターニングして、例えば対のトランスファ・ゲート・トランジスタを構成する対のゲート電極(4)及び絶縁層(35A)を形成する。次にこのゲート電極(4)と絶縁層(35A)とをマスクとして第1導電型例えばn型のAs等の不純物を低濃度に注入して、対のメモリセルのトランスファ・ゲート・トランジスタの各一方の第1の低濃度ソース/ドレイン領域(5A)と、共通の第2の低濃度ソース/ドレイン領域(5B)を形成する。

そして第2図Cに示すように、全面的に SiO_2 等より成る絶縁層(35B)を被着する。

この後第2図Dに示すように、基体(1)の表面が露出するまでRIE(反応性イオンエッチング)等の異方性エッチングを行う。このとき、ゲート電極(4)及び絶縁層(35A)の側面では、絶縁層の厚さが実質的に大となっているためにエッチング除去されず、サイドウォール(35S)が形成され、同図において、対のゲート電極(4)間のサイドウォール(35S)間に開口(35C)を形成すると共に、両ゲート電極(4)の外側のサイドウォール(35S)と厚い素

子分離層(2)との間に開口(35D)が形成される。この場合、両開口(35C)及び(35D)内に絶縁層(35B)が残ることがないようにオーバー・エッチングされる。

そしてこれら開口(35C)及び(35D)を通じてAs等の不純物を注入して第1及び第2のソース/ドレイン領域(7A)及び(7B)を形成する。

その後、第2図Eに示すように、サイドウォール(35S)を通じて、キャパシタを接続形成すべき所定のソース/ドレイン領域(7A)上を含んで、全面的に例えば低比抵抗多結晶Si層を被着し、これをフォトリソグラフィ等の適用により所要のパターンにバターニングしてキャパシタ電極(14)を得る。

そして第2図Fに示すように、例えば SiO_2 - SiN - SiO_2 より成る誘電体層(15)を全面的に被着し、更にこの誘電体層(15)を介して例えば低比抵抗多結晶Si層を被着した後、これを所要のパターンにバターニングして、対向電極(16)を形成する。次に第2図Gに示すように、全面的に例えば厚

膜 SiO_2 より成る絶縁層(17)をCVD(化学的気相成長)法等によって被着形成し、第2のソース/ドレイン領域(7B)上に、この絶縁層(17)及び誘電体層(15)を貫通してビットコンタクト窓(18)を穿設する。そしてこのビットコンタクト窓(18)内を含んで全面的にAl等より成る配線層(19)即ちビット線を形成して、半導体装置(30)を得る。

このようなSAC法による半導体装置では、上述した第2図Dにおける開口(35D)の幅Lを比較的小とすることができるが、前述したように開口(35C)及び(35D)を確実に形成するオーバー・エッチングを必要とするので、このときのRIEによってサイドウォール(35S)の耐圧特性が低下する恐れがあり、これにより歩留りの低下を来していた。

また、上述したような、開口(35C)及び(35D)の幅がサイドウォール(35S)間或いはサイドウォール(35S)と素子分離層(2)との間隔によって自己整合的に規制されるSAC法によらず、開口(35C)及び(35D)をフォトリソグラフィの適用によって

サイドウォール(35S)と開口(35C)又は(35D)との間に所要の間隔を保持させて形成するいわゆるベリッドコンタクト法による場合は、サイドウォール(35S)と開口(35C)及び(35D)との間に所要の間隔が保持されていることによって、耐圧の向上ははかれるもの、この場合は、フォトリソグラフィ技術の例えばマスク合わせ裕度等の必要性から生じる限界によって、開口(35D)の幅Lを約 $0.6\mu\text{m}$ 以下とすることができず、メモリセルの専有面積の縮小化を阻害する。

更にまた、スタックト・キャパシタ型のDRAMにおいて、キャパシタ電極を複数のフィン(ひれ)を有する構造としてその表面積を大とし、1メモリ素子当りの占める面積を小とするも、キャパシタの電気容量を充分に得る構造が提案されている。このようなフィン構造のDRAMの製法において、複数のフィンの間の絶縁層を除去する際に、下地層例えば基体(1)または素子分離層(2)等がダメージを受けることを回避するために、例えば SiN より成る絶縁層を設けている。しかしながらこの SiN 層

による歪みや応力によって、フィン構造のキャパシタ電極が折れ易くなり、歩留りの低下及び生産性の低下を来していた。

〔発明が解決しようとする課題〕

本発明は、上述した問題を解決して、半導体装置の特性の低下を回避するとともに、上述したようなメモリ素子当りの面積の縮小化即ち半導体装置の大容量化をはかり、歩留り及び生産性の向上をはかる。

〔課題を解決するための手段〕

本発明による半導体装置の製法の一例を、第1図A～Cの工程図に示す。

本発明は、第1図Aに示すように、ゲート絶縁層(3)を形成する工程と、第1の多結晶半導体層によるゲート電極(4)の形成工程と、このゲート電極(4)をマスクとして低濃度ソース/ドレイン領域(5A)及び(5B)を形成する工程と、第1図Bに示すように、ゲート電極(4)の側面に絶縁層より成る第

2のキャパシタコンタクト窓(12B)を穿設する工程と、第1及び第2のキャパシタコンタクト窓(12A)及び(12B)内を含んで全面的に第4の多結晶半導体層(13)を形成する工程と、第1図Fに示すように、第4の多結晶半導体層(13)を所要のパターンにパターニングする工程と、第2の絶縁層(10)及び第2のサイドウォール(12S)を除去する工程と、第2の多結晶半導体層(9)を所要のパターンにパターニングして、これとパターニングした第4の多結晶半導体層(13)とより成るキャパシタ電極層(14)を形成する工程と、第1図Gに示すように、このキャパシタ電極層(14)の表面に誘電体層(15)を形成する工程と、誘電体層を介して全面的に第5の多結晶半導体層を形成してこれをパターニングして対向電極(16)を形成する工程とをとる。

〔作用〕

上述したように、本発明半導体装置の製法によれば、ゲート電極(4)の側面に形成された第1のサ

イドウォール(6S)を形成する工程と、主としてゲート電極(4)と第1のサイドウォール(6S)とをマスクとしてソース/ドレイン領域(7A)及び(7B)を形成する工程と、第1図Cに示すように、ゲート電極(4)と第1のサイドウォール(6S)上に全面的に第1の絶縁層(8)を形成する工程と、この第1の絶縁層(8)上に全面的に第2の多結晶半導体層(9)を形成する工程と、第1図Dに示すように、第2の多結晶半導体層(9)上に全面的に第2の絶縁層(10)を形成する工程と、第2の絶縁層(10)上に全面的に第3の多結晶半導体層(11)を形成する工程と、第3の多結晶半導体層(11)及び第2の絶縁層(10)とに第1のキャパシタコンタクト窓(12A)を穿設する工程と、第1のキャパシタコンタクト窓(12A)の内周に絶縁層より成る第2のサイドウォール(12S)を形成する工程と、第1図Eに示すように、この第2のサイドウォールを有する第1のキャパシタコンタクト窓(12A)内の第2の多結晶半導体層(9)とこれの下第1の絶縁層(8)とに、第1のキャパシタコンタクト窓(12A)に連通する第

イドウォール(6S)に対してはその形成時に必ずしも開口即ちキャパシタコンタクト窓を穿設するためのオーバー・エッチングを必要としないことから、その耐圧性の向上がはかれると共に、第2のサイドウォール(12S)を形成してから第2のキャパシタコンタクト窓(12B)の穿設がなされることから、第1のサイドウォール(6S)は充分な耐圧を保持することができる。

更に、キャパシタ電極(14)と第1のソース/ドレイン領域(7A)とのコンタクト窓(12B)は、第1のサイドウォール(6S)上に設けられる第2のサイドウォール(12S)をマスクとして、いわゆるSAC法によって形成されるため、例えばフォトリソグラフィ技術の限界以下の間隔をもってコンタクト窓を形成することができ、これによってメモリ素子の面積を縮小化することができ、半導体装置の大容量化をはかることができる。

更にこのキャパシタコンタクト窓(12S)の形成に当ってオーバー・エッチングを行っても第1のサイドウォール(6S)は第2のサイドウォール(12S)

によって保護されているので、その耐正特性が低下することなく、前述したベリッド・コンタクト法による場合の特徴をも兼備して成る。

更にまた上述の本発明製法によれば、キャパシタ電極(14)は第2及び第4の多結晶半導体層(9)及び(13)による複数のフィン構造をとるため、1メモリ素子当りのキャパシタの電気容量の増大化をはかることができる。

またこのようなフィン構造のキャパシタ電極(14)を形成するに当って、第2の絶縁層(10)及び第2のサイドウォール(12S)を除去する際に、第2の多結晶半導体層(9)が下地層や基体(1)を全面的に覆っているため、下地層即ち第1の絶縁層(8)、素子分離層(2)等をSiN等の他の絶縁層によって保護する必要がない。このため、このような絶縁層によって生じていた応力等による影響を受けることがなく、安定してキャパシタ電極を形成することができ、生産性の向上をはかることができる。

(実施例)

エッチングを行ってゲート電極(4)の側面に第1のサイドウォール(6S)を形成する。この場合各ソース/ドレイン領域(5A)及び(5B)上に多少の絶縁層が残存してもよいことから、第1のサイドウォール(6S)の形成には、オーバー・エッチングを必要としない。そしてこの第1のサイドウォール(6S)、ゲート電極(4)及び素子分離層(2)をマスクとしてn型不純物例えばPをイオン注入して第1及び第2のソース/ドレイン領域(7A)及び(7B)を形成する。

第1図Cに示すように、全面的に例えばSiO₂薄膜より成る第1の絶縁層(8)を例えばTEOS(テトラエチル・オルソシリケート)による緻密性に優れたSiO₂層として形成した後、全面的に例えば低比抵抗多結晶Si層より成る第2の多結晶半導体層(9)を被着する。

次に第1図Dに示すように、この第2の多結晶半導体層(9)上に全面的にSiO₂等より成る第2の絶縁層(10)を形成し、更に例えば低比抵抗多結晶Si層より成る第3の多結晶半導体層(11)を形成した後、例えばフォトリソグラフィの適用によって、

以下第1図A～Gの製造工程図を参照して、本発明による半導体装置特にDRAMの製法の一例を詳細に説明する。

この例においては、第1図Aに示すように、例えばSi単結晶より成る基体(1)の第1導電型例えばp型の基体領域上に、対のメモリセルを構成する第2導電型例えばnチャンネルMOSの一方のソース/ドレイン領域を共通に形成した場合を示す。(2)は例えば熱酸化によって形成したSiO₂より成り、各メモリセル間を分離する素子分離層いわゆるLOCOS、(3)は同様に例えば熱酸化によって形成したSiO₂より成るゲート絶縁層、(4)は例えば低比抵抗多結晶Si層を所要のパターンにパターニングして形成したゲート電極で、このゲート電極(4)をマスクとして、n型不純物例えばAsをイオン注入して第1及び第2の低濃度ソース/ドレイン領域(5A)及び(5B)を形成する。

次に第1図Bに示すように、ゲート電極(4)上を覆って全面的に例えばSiO₂より成る厚い絶縁層をCVD法等により形成した後、RIE等の異方性

この第2の絶縁層(10)及び第3の多結晶半導体層(11)を所要のパターンにパターニングして第1のキャパシタコンタクト窓(12A)を形成する。そして第1のキャパシタコンタクト窓(12A)内に絶縁層例えばSiO₂より成る第2のサイドウォール(12S)を形成する。この第2のサイドウォール(12S)は、例えば第1のキャパシタコンタクト窓(12A)内を含んで全面的にSiO₂層をCVD法等により被着した後、第3の多結晶半導体層(11)の表面が露出するまでRIE等の異方性エッチングを行って形成する。

そして第1図Eに示すように、この第2のサイドウォール(12S)をマスクとして例えばRIE等の異方性エッチングを行って、第1のキャパシタコンタクト窓(12A)内の第2の多結晶半導体層(9)を除去した後、続いて第1の絶縁層(8)に対するライトエッチングを行って、第2のキャパシタコンタクト窓(12B)を穿設する。このエッチングによって第3の多結晶半導体層(11)は除去される。そしてこの第2のキャパシタコンタクト窓(12B)内

を含んで全面的に低比抵抗多結晶Si等より成る第4の多結晶半導体層(13)を被着する。

このとき、第2のキャパシタコンタクト窓(12B)は、その幅 l が第1のサイドウォール(6S)の幅より小となるように設計する。

そして第1図Fに示すように、第4の多結晶半導体層(13)をフォトリソグラフィの適用によって所要のパターンにパターンニングし、更に第2の絶縁層(10)及び第2のサイドウォール(12S)を等方性エッチングにより除去した後、第2の多結晶半導体層(9)を第4の多結晶半導体層(13)と同様のパターンをもってパターンニングして、第4の多結晶半導体層(13)と第2の多結晶半導体層(10)とより成る、いわゆる2重フィン構造のキャパシタ電極(14)を形成する。

次に第1図Gに示すように、例えば SiN-SiO_2 より成る誘電体層(15)を全面的に被着した後、低比抵抗多結晶Si層よりなる第5の多結晶半導体層(16A)を全面的に被着した後これを所要のパターンにパターンニングして対向電極(16)を形成する。

小とすることができ、従って、1メモリ素子当りの面積の縮小化をはかることができる。

また、本発明による場合は上述したように、フィン構造のキャパシタ電極(14)を得ることができ、1メモリ素子当たりの面積を小としても、充分電気容量を保持することができる。

更に、このキャパシタ電極層(14)の上部のフィンを形成した後、これの下第2の絶縁層(10)及び第2のサイドウォール(12S)をエッチング除去する際のエッチング・ストッパーは、第2の多結晶半導体層(19)となる。このため、下地層の例えば基体や素子分離層(2)等が歪みを受けることなくフィン構造のキャパシタ電極(14)を形成することができる。

(発明の効果)

上述したように、本発明半導体装置の製法によれば、ゲート電極(4)の側面に形成される第1のサイドウォール(6S)に対してはその形成時にオーバー・エッチングを必要としないことから、その耐

そして全面的に例えばAsドーパの低融点ガラスより成る絶縁層(17)を被着形成した後、第2のソース/ドレイン領域(7B)上にビット線を接続するビットコンタクト窓(18)をR1E等の異方性エッチングにより穿設する。更に絶縁層(17)に対する低温溶融化を行ってそのビットコンタクト窓(18)の角部をなだらかにした後、スパッタ等によりビットコンタクト窓(18)内を埋め込むようにAl等より成る配線層(19)を形成して、半導体装置(30)を得る。

このようにして形成した半導体装置(30)は、第1のサイドウォール(6S)がR1Eによるオーバー・エッチングを受けないため、充分な耐圧を有するMOSを構成することができる。

また第2のキャパシタコンタクト窓(12B)をSAC法によって穿設することできるため、第1図Gに示すように、第2のキャパシタコンタクト窓(12B)の幅 l を約 $0.2\mu\text{m}$ とすることができ、従来の例えばフォトリソグラフィの適用によりコンタクト窓を形成した場合の $0.6\mu\text{m}$ に比して、格段に

圧性の向上がはかれると共に、第2のサイドウォール(12S)を形成してから第2のキャパシタコンタクト窓(12B)の穿設がなされることから、第1のサイドウォール(6S)は充分な耐圧を保持することができる。

更に、キャパシタ電極(14)と第1のソース/ドレイン領域(7A)とのコンタクト窓(12B)は、いわゆるSAC法によって形成されるため、例えばフォトリソグラフィ技術の限界以下の間隔をもってコンタクト窓を形成することができ、これによって1メモリ素子の面積を縮小化することができ、半導体装置の大容量化をはかることができる。

更にこのキャパシタコンタクト窓(12S)の形成に当たってオーバー・エッチングを行っても第1のサイドウォール(6S)は第2のサイドウォール(12S)によって保護されているので、その耐圧特性が低下することなく、前述したベリッド・コンタクト法による場合の特徴をも兼ねて成る。

また更に、第2の絶縁層(10)及び第2のサイドウォール(12S)を除去する際に、第2の多結晶半

導体層(9)が下地層・基体を全面的に覆っているため、下地層即ち第1の絶縁層(8)、素子分離層(2)等が応力等による影響を受けることがなく、フィン構造のキャパシタ電極を安定して形成することができるため、フィン構造によって1メモリ素子当たりの電気容量を十分に保持すると共に、生産性の向上をはかることができる。

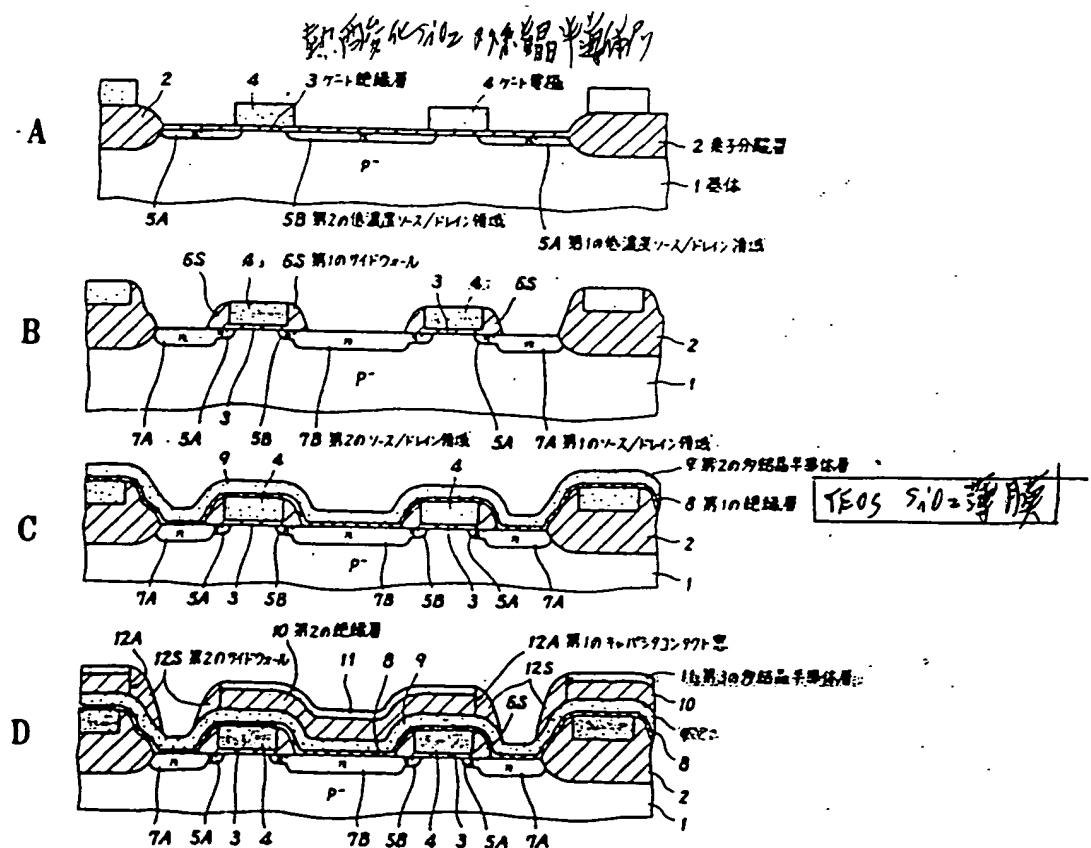
図面の簡単な説明

第1図A～Gは本発明による半導体装置の製法を示す製造工程図、第2図A～Gは従来の半導体装置の製法を示す製造工程図である。

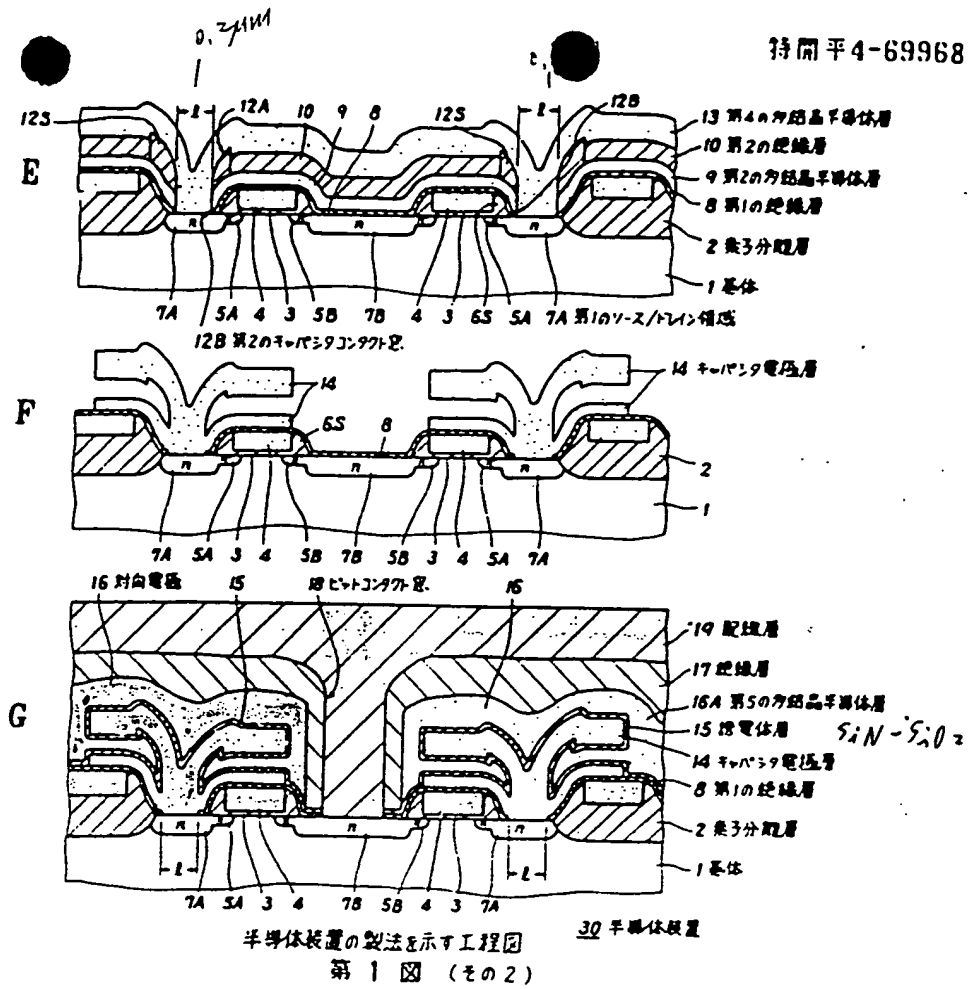
(1)は基体、(2)は素子分離層、(3)はゲート絶縁層、(4)はゲート電極、(5A)及び(5B)は第1及び第2の低濃度ソース/ドレイン領域、(6S)は第1のサイドウォール、(7A)及び(7B)は第1及び第2のソース/ドレイン領域、(8)は第1の絶縁層、(9)は第2の多結晶半導体層、(10)は第2の絶縁層、(11)は第3の多結晶半導体層、(12A)は第1のキャパシタコンタクト窓、(12S)は第2のサイドウォール、(12B)は第2のキャパシタコンタクト窓、(13)は

第4の多結晶半導体層、(14)はキャパシタ電極層、(15)は誘電体層、(16)は対向電極、(17)は絶縁層、(18)はビットコンタクト窓、(19)は配線層、(35A)は絶縁層、(35B)は絶縁層、(35C)及び(35D)は開口、(35S)はサイドウォール、(30)は半導体装置である。

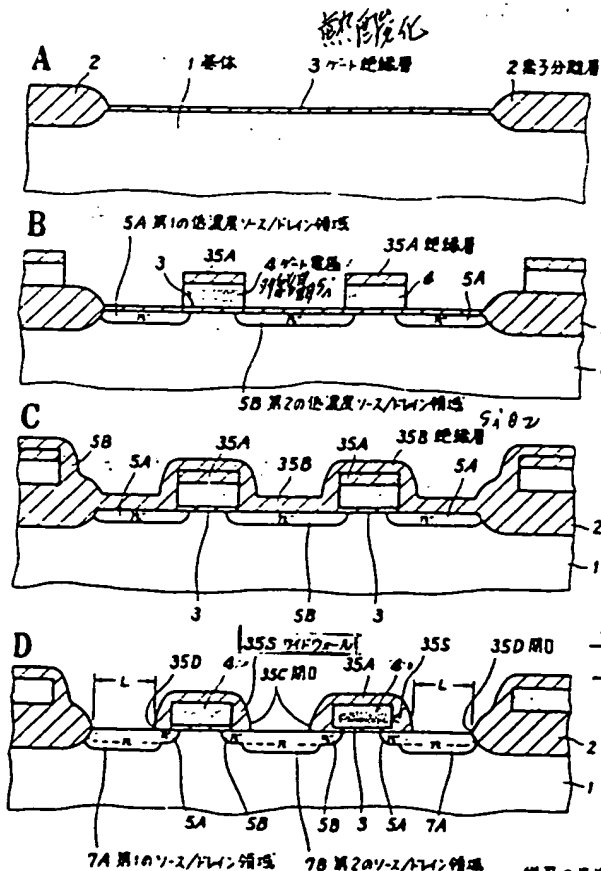
代理人 松隈秀盛



半導体装置の製法を示す工程図
第1図 (その1)



半導体装置の製法を示す工程図
第 1 図 (その 2)



従来の半導体装置の製法を示す製造工程図
第 2 図

